

PATENT ABSTRACTS OF JAPAN

YAS-4324US

(11) Publication number : 09-063467
 (43) Date of publication of application : 07.03.1997

(51) Int. Cl. H01J 1/30
 H01J 9/02
 H01J 31/12

(21) Application number : 07-217091

(71) Applicant : KOBE STEEL LTD
 AGENCY OF IND SCIENCE &
 TECHNOL

(22) Date of filing : 25.08.1995

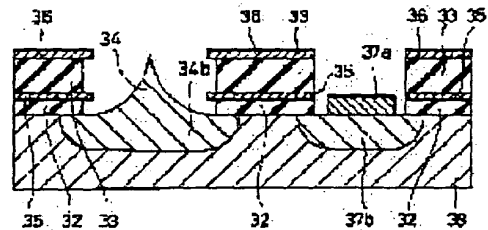
(72) Inventor : HIRANO TAKAYUKI
 ITO JUNJI
 KANAMARU MASATAKE

(54) COLD ELECTRON EMITTING ELEMENT, AND MANUFACTURE OF IT

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a cold electron emitting element, and the manufacture of the cold electron emitting element excellent in the working accuracy of the acute end of an emitter protruded part, and the uniformity of structure, and also capable of emitting a stable electric current.

SOLUTION: An emitter base part 34b composed of an (n) type semiconductor, a protruded part 34, and a source region 37b are formed on a part of a (p) type silicon substrate 38; a source electrode 37a is formed on the source region 37b; electric current control electrodes 35 via first insulating layers 32 is formed onto the emitter base part 34b and the substrate including a part of the source region 37b; and extraction electrodes 36 via second insulating layers 33 is formed onto the electrodes 35. About manufacture, at first, the emitter protruded part is formed onto a (p) type silicon substrate; the first insulating layer and the electric current control electrode is formed onto the emitter base part and the substrate including the source region; and then the second insulating layer and the electrodes 36 is formed onto the electric current control electrode; finally, an (n) type impurity is formed on the emitter base part and the source region; and after that, the source electrode is formed.



LEGAL STATUS

[Date of request for examination] 19.06.1997

[Date of sending the examiner's decision of rejection] 14.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998, 2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-63467

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30		H 0 1 J 1/30	C
	9/02		9/02	B
	31/12		31/12	B
				C
				C

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平7-217091

(22) 出願日 平成7年(1995)8月25日

(71) 出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区臨浜町1丁目3番18号

(74) 上記1名の代理人 弁理士 藤巻 正憲

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(74) 上記1名の代理人 工業技術院電子技術総合研究所
長

(72) 発明者 平野 貴之

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

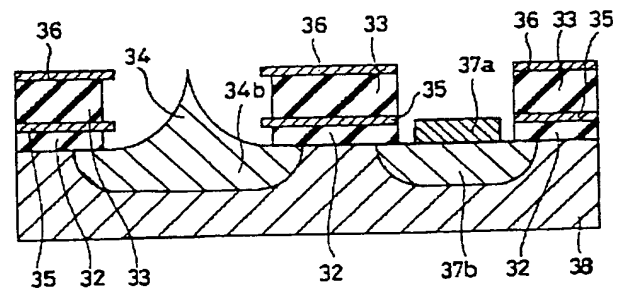
最終頁に続く

(54) 【発明の名称】 冷電子放出素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 エミッタ突起部の先鋭端の加工精度及び構造の均一化が優れていると共に、安定した電流を放出することができる冷電子放出素子及びその製造方法を提供する。

【解決手段】 p型シリコン基板38上の一部にn型半導体からなるエミッタ基部34b及び突起部34とソース領域37bとを形成し、ソース領域上にソース電極37aを、エミッタ基部及びソース領域の一部を含む基板上に、第1絶縁層32を介して電流制御電極35と、その上に第2絶縁層33を介して引き出し電極36とを形成する。製造方法は、先ずp型シリコン基板上にエミッタ突起部を、エミッタの基部及びソース領域を含む基板上に第1絶縁層及び電流制御電極を、次いで電流制御電極上に第2絶縁層及び引き出し電極36を、最後にエミッタの基部及びソース領域にn型不純物を導入した後ソース電極を形成する。



【特許請求の範囲】

【請求項 1】 p 型半導体領域からなる基部及びこの基部から突出する突起部を備えこの突起部には少なくとも 1 つ以上の先鋭端が設けられたエミッタと、前記基部上に選択的に形成された第 1 絶縁層と、この第 1 絶縁層上に形成された電流制御電極と、この電流制御電極上に形成された第 2 絶縁層と、この第 2 絶縁層上に形成されその電圧印加により前記エミッタの前記突起部から電子を放出させる引き出し電極と、を有することを特徴とする冷電子放出素子。

【請求項 2】 p 型半導体基板と、この p 型半導体基板の表面に形成された n 型半導体領域からなる基部及びこの基部から突出する突起部を備えこの突起部には少なくとも 1 つ以上の先鋭端が設けられたエミッタと、前記基板上に設けられた n 型半導体からなるソース領域と、前記エミッタの基部及びソース領域の一部を含む基板上に形成された第 1 絶縁層と、この第 1 絶縁層上に形成された電流制御電極と、この電流制御電極上に形成された第 2 絶縁層と、この第 2 絶縁層上に形成されその電圧印加により前記エミッタの前記突起部から電子を放出させる引き出し電極とを有することを特徴とする冷電子放出素子。

【請求項 3】 前記電流制御電極及び前記引き出し電極は相互に直交するようにストライプ状に複数本形成されており、前記電流制御電極と前記引き出し電極との平面視での交点位置に前記エミッタの突起部が配置されていて、特定の電流制御電極と引き出し電極に所定の電圧を印加することにより、前記特定の電流制御電極と引き出し電極との平面視での交点に位置するエミッタのみが動作するものであることを特徴とする請求項 1 又は 2 に記載の冷電子放出素子。

【請求項 4】 前記ソース領域上に金属電極からなるソース電極が形成されていることを特徴とする請求項 2 又は 3 に記載の冷電子放出素子。

【請求項 5】 前記エミッタの突起部は金属材料により形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の冷電子放出素子。

【請求項 6】 前記エミッタの突起部は単結晶シリコンにより形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の冷電子放出素子。

【請求項 7】 前記電流制御電極と前記引き出し電極との距離は前記基部と前記電流制御電極との距離よりも大きいことを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の冷電子放出素子。

【請求項 8】 前記第 1 絶縁層は、前記基部を構成するシリコンの熱酸化膜であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の冷電子放出素子。

【請求項 9】 p 型半導体領域からなる基部上に先鋭端が設けられた突起部を形成する工程と、前記突起部を除く前記基部上に第 1 絶縁層を形成する工程と、前記第 1

絶縁層上に電流制御電極を形成する工程と、前記電流制御電極上に第 2 絶縁層を形成する工程と、前記第 2 絶縁層上に引き出し電極を形成する工程と、を有することを特徴とする冷電子放出素子の製造方法。

【請求項 10】 p 型半導体基板上に基部及び先鋭端が設けられた突起部からなるエミッタを形成する工程と、前記基板上にソース領域を形成する工程と、前記エミッタの基部及びソース領域の一部を含む前記基板上に第 1 絶縁層を形成する工程と、前記第 1 絶縁層上に電流制御電極を形成する工程と、前記電流制御電極上に第 2 絶縁層を形成する工程と、前記第 2 絶縁層上に引き出し電極を形成する工程と、前記エミッタ基部及び前記ソース領域に n 型不純物を導入して n 型のエミッタ及び n 型のソース領域を形成する工程と、を有することを特徴とする冷電子放出素子の製造方法。

【請求項 11】 前記エミッタの突起部を金属材料により形成することを特徴とする請求項 9 又は 10 に記載の冷電子放出素子の製造方法。

【請求項 12】 前記エミッタの突起部を単結晶シリコンにより形成することを特徴とする請求項 9 又は 10 に記載の冷電子放出素子の製造方法。

【請求項 13】 前記 n 型のソース領域上に金属材料からなるソース電極を形成することを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の冷電子放出素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフラットパネルディスプレイ等の画像表示装置、電子顕微鏡、電子ビーム露光装置、超高速電子デバイス、又は各種センサー等の電子装置への応用が期待され、放出電流が安定であると共に、高性能な冷電子放出素子及びその製造方法に関する。

【0002】

【従来の技術】 電界放出型の微小な電子放出素子は、画像表示装置、電子顕微鏡及び電子ビーム露光装置等の電子装置への応用が期待されている。そして、従来の電子放出素子には、単結晶シリコンを使用したものが報告されている (K. Betui, Technical Digest of 4th Int. Vacuum Microelectronics Conference, Nagahama, Japan, 1991, p. 26)。

【0003】 図 6 は単結晶シリコンを使用した冷電子放出素子を示す模式的断面図である。先ず、図 6 に示すように、単結晶シリコン層からなるエミッタの基部 51 に、高さが数 μm 程度の円錐形 (コーン型) のエミッタ突起部 54 が形成されている。そして、単結晶シリコン層上に、エミッタ突起部 54 を取り囲むように、直径が数 μm である開口部を設けた絶縁層 52 及び引き出し電極 53 が形成されている。

【0004】 このように構成された冷電子放出素子においては、引き出し電極 53 に数十ボルト程度の電圧を印

加すると、エミッタ突起部54の先鋭端54cに 10^7 V/cm以上の強い電界が誘起される。その結果、量子力学的トンネル現象よりエミッタ突起部54の先鋭端54cから、エミッタの基部51に垂直の方向に電子 e^- が放出される。

【0005】このコーン型のエミッタ突起部54は、ドライエッチング及び熱酸化を組み合わせた加工法により単結晶シリコン基板から加工され、その先鋭端54cは曲率半径が約5nm程度となるまで先鋭化することができる。このように、単結晶基板を使用することにより加工精度が良好となり、再現性が優れたコーン型のエミッタを加工することができる。この点においては、金属材料を真空蒸着することにより形成されたスピント型のエミッタに対して、単結晶基板を使用するコーン型のエミッタが優れている。

【0006】また、前記スピント型の各エミッタに直列に抵抗を接続することにより、出力電流の安定化を図ることが提案されている(R. Meyer, Technical Digest of 4th Int. Vacuum Microelectronics Conference, Nagahama, Japan, 1991, p. 6)。

【0007】図7はスピント型のエミッタに直列に抵抗を接続した冷電子放出素子を示す模式的断面図である。図7に示すように、導電性の基板68の表面に抵抗層66が形成され、その上に、モリブデン等の金属材料を真空蒸着することによって、スピント型のエミッタ64が設けられている。そして、図5と同様に、抵抗層66上に、エミッタ64を取り囲むようにエミッタ64を中心とする開口部を設けた絶縁層62及び引き出し電極63が形成されている。

【0008】このように構成されたエミッタ64は、直列抵抗として抵抗層66が接続されているので、エミッタ64に電流が流れた際に抵抗層66にて電圧降下が発生する。その結果、エミッタの電流が増大するとエミッタ64とゲート(引き出し電極63)との間の電圧が低下し、エミッタの電流が減少するとエミッタとゲートとの間の電圧が増加することより、電流の安定化を図ることができるという効果がある。

【0009】また、抵抗の代わりに電界効果トランジスタ(FET)を使用することにより、出力電流を更に一層安定化することが提案されている(K. Yokoo, 他, Proc. 4th Int. Vacuum Microelectronics Conference, Grenoble, France, 1994, p. 58)。図8はFETによる電流制御部及び電子放出素子部を有する基板を示す模式的断面図である。図8に示すように、p型半導体基板78の表面には、少なくとも2箇所のn型半導体領域77a及び77bが形成されており、一方のn型半導体領域77a上にエミッタ突起部74と、このエミッタ突起部74を取り囲むように開口部を設けた絶縁層72とこの絶縁層72上の引き出し電極73とが形成されて、電子放出素子部79を構成している。また、ドレイン電極76は、エミ

ッタ突起部74の近傍にて、絶縁層72に設けたコンタクトホール内に形成され、n型半導体領域77aに接触している。絶縁層72aはn型半導体領域77a及び77bの一部を含む基板78上に形成されており、絶縁層72a上にゲート電極75が形成されている。そして、ソース電極71がn型半導体領域77b上に形成された絶縁層72のコンタクトホール内に形成されていて、これらがFETとして電流制御部を構成している。

【0010】このように構成された基板において、ゲート電極75に正の電圧を印加すると、絶縁層72aを介してp型半導体基板78における絶縁層72aとの界面にn型チャネルが形成され、ソース電極71とドレイン電極76との間に電流が流れることにより、エミッタ74に電流が供給されると共に、ゲート電極75への電圧印加を調整することにより、エミッタ電流が制御される。従って、FETのドレイン電流をエミッタ電流よりも十分小さくすることにより、エミッタに抵抗を接続した図7に示す場合より電子を安定に放出することができる。

【0011】他に、エミッタを取り囲む絶縁層及び電極が上下に2枚ずつ形成された構造の冷電子放出型能動素子が提案されている(特公平7-38438)。図9は上下に2枚の電極が形成された冷電子放出型能動素子を示す模式的断面図である。図9に示すように、単結晶シリコン層からなる基板98に円錐形のエミッタ突起部94が形成されており、基板98上にエミッタ突起部を取り囲むように、開口部を設けた絶縁層92及びゲート電極95が形成されている。そして、ゲート電極95上に絶縁層92と同様に開口部を設けた絶縁層93及びドレイン電極96が形成されている。

【0012】このように構成された冷電子放出型能動素子においては、下部にあるゲート電極95及び上部のドレイン電極96をゲート及びコレクタとする真空3極管として使用することが目的であるために、ゲート電極95はエミッタ突起部94の先鋭端94cと同程度の高さに調整され、図6に示す冷電子放出素子と同様にゲート電極95が引き出し電極として機能することを特徴としている。

【0013】

【発明が解決しようとする課題】しかしながら、エミッタに単結晶シリコンを使用する図6に示す素子では、構造の再現性が良好なエミッタ突起部を得ることはできるが、電流の安定化については改善されていない。電界放射を使用して真空中に電子を放出する素子においては、真空中でエミッタ表面に吸着した分子の運動等により原理的に電流が不安定になりやすいという問題点がある。

【0014】この問題点を解決するために提案されたエミッタに抵抗を接続する図7に示す素子では、直列抵抗による電圧降下を利用しているため、直列抵抗の抵抗値を大きくすることによりエミッタからの放出電流の変動

を低減することはできるが、本質的に放出電流の安定化を図るものではなく、この効果には限界がある。

【0015】これに対して、エミッタにFETを接続する図8に示す素子では、FETの安定な放出電流を利用することにより、エミッタ電流を安定化する顕著な効果が期待できるが、FETを接続するための工程によって、エミッタを作成する工程数が倍増するために歩留まりが低下するという問題点がある。更に、各エミッタにFETを基板面内に離間して形成するので、FETを接続することによりエミッタ1個に対する所要面積が倍増し、エミッタの集積化を困難にするという問題点もある。

【0016】また、2段電極を有する図9に示す素子では、下部のゲート電極95がエミッタ突起部94の先端94cに近接して形成され、引き出し電極として機能するために、このゲート電極に印加される電圧によってエミッタ先端94cの周辺の電界強度が変化し、エミッタ先端94cからの放出電流も変化する。従って、このような構造においても、エミッタ基部91からエミッタ突起部94への電流供給量を制御することはできない。

【0017】本発明はかかる問題点に鑑みてなされたものであって、エミッタ突起部の加工精度及び構造の均一化が優れていると共に、電流を安定して放出することができる冷電子放出素子及びその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明に係る冷電子放出素子は、p型半導体領域からなる基部及びこの基部から突出する突起部を備えこの突起部には少なくとも1つ以上の先端が設けられたエミッタと、前記基部上に選択的に形成された第1絶縁層と、この第1絶縁層上に形成された電流制御電極と、この電流制御電極上に形成された第2絶縁層と、この第2絶縁層上に形成されその電圧印加により前記エミッタの前記突起部から電子を放出させる引き出し電極と、を有することを特徴とする。

【0019】また、本発明に係る他の冷電子放出素子は、p型半導体基板と、このp型半導体基板の表面に形成されたn型半導体領域からなる基部及びこの基部から突出する突起部を備えこの突起部には少なくとも1つ以上の先端が設けられたエミッタと、前記基部上に設けられたn型半導体からなるソース領域と、前記エミッタの基部及びソース領域の一部を含む基板上に形成された第1絶縁層と、この第1絶縁層上に形成された電流制御電極と、この電流制御電極上に形成された第2絶縁層と、この第2絶縁層上に形成されその電圧印加により前記エミッタの前記突起部から電子を放出させる引き出し電極とを有することを特徴とする。

【0020】このとき、電流制御電極と引き出し電極との距離は基部と電流制御電極との距離よりも大きい方が

好ましい。

【0021】この電流制御電極及び引き出し電極が相互に直交するようにストライプ状に複数本形成されており、前記電流制御電極と前記引き出し電極との平面視での交点位置に前記エミッタの突起部が配置されていて、特定の電流制御電極と引き出し電極に所定の電圧を印加することにより、前記特定の電流制御電極と引き出し電極との平面視での交点に位置するエミッタのみが動作するものであってもよい。

【0022】また、前記ソース領域上には、ショットキ接合を有する金属電極からなるソース電極を形成することができる。

【0023】更に、エミッタの突起部は金属材料又は単結晶シリコンにより形成することができる。

【0024】本発明に係る冷電子放出素子の製造方法は、p型半導体領域からなる基部上に先端が設けられた突起部を形成する工程と、前記突起部を除く前記基部上に第1絶縁層を形成する工程と、前記第1絶縁層上に電流制御電極を形成する工程と、前記電流制御電極上に第2絶縁層を形成する工程と、前記第2絶縁層上に引き出し電極を形成する工程と、を有することを特徴とする。

【0025】また、本発明に係る他の冷電子放出素子の製造方法は、p型半導体基板上に基部及び先端が設けられた突起部からなるエミッタを形成する工程と、前記基板上にソース領域を形成する工程と、前記エミッタの基部及びソース領域の一部を含む前記基板上に第1絶縁層を形成する工程と、前記第1絶縁層上に電流制御電極を形成する工程と、前記電流制御電極上に第2絶縁層を形成する工程と、前記第2絶縁層上に引き出し電極を形成する工程と、前記エミッタ基部及び前記ソース領域にn型不純物を導入してn型のエミッタ及びn型のソース領域を形成する工程と、を有することを特徴とする。

【0026】

【作用】本願発明者が前記課題を解決するために鋭意研究を重ねた結果、基板内にFET機能を内蔵することにより、エミッタ電流の安定化を図ることができることを見出した。即ち、FETによりエミッタに供給される固体中の電子を制限して、放出電流の変動を抑制するという顕著な効果を得るものである。

【0027】本願発明の請求項1に係る第1の発明においては、エミッタ基部にp型半導体シリコンを使用し、この基部上にエミッタ突起部を取り囲むように開口部を設けた第1絶縁層、電流制御電極、第2絶縁層及び引き出し電極を形成する。この上部電極である引き出し電極に電圧が印加されている状態で、下部電極である電流制御電極に正の電圧を印加することにより、前記エミッタの表面にn型反転層(nチャネル)が誘起される。この電流制御電極に印加する電圧の大きさによって、nチャネルコンダクタンスが変化するので、エミッタ基部から

突起部に流れる電流が制御され、エミッタ突起部の先鋭端から真空中に放出される電流を安定化することができる。

【0028】また、本願発明の請求項2に係る第2の発明においては、基板にp型半導体を使用し、この基板上にn型半導体の基部及び突起部からなるエミッタとn型半導体のソース領域とを形成し、エミッタ突起部及びソース領域を除く基板上に第1絶縁層、電流制御電極、第2絶縁層及び引き出し電極を形成する。

【0029】この電流制御電極の部分には、電界効果トランジスタ(FET)の基本構成であるMOS(Metal-Oxide-Semiconductor)が形成されることになり、エミッタにFETを接続したときと同一原理で同一の効果をを得ることができ、エミッタ電流を制御することができる。即ち、エミッタ先鋭端から放出される電子は量子力学的トンネル現象によるものだけではなく、p型半導体基板と第1絶縁層との界面に誘起される電子の量で制限されるため、図8における従来技術と同様に、安定な放出電流を与える効果が極めて高く、単純な構造で高性能な冷電子放出素子を得ることができる。また、下部電極である電流制御電極をエミッタ先鋭端よりも低い位置で、可能な限り基板に近接して配置することにより、電流制御電極に印加する電圧は数ボルト程度の低い電圧で電子の供給を制御することができると共に、引き出し電極がエミッタ突起部に印加する電界を電流制御電極が遮蔽するという問題点も解決することができる。

【0030】また、本発明においては、FETを基板上に離間して形成する図8に示した従来技術と比較して、その構造を簡素化でき、エミッタ1個に対する冷電子放出素子の所要面積を低減できると共に、極めて少ない工程数で形成することができる。更に、本発明は、引き出し電極と電流制御電極とを第2絶縁層を介して上下に重ねた構造であるため、例えば1方向に延びるように形成された複数本のストライプ状の引き出し電極と、これらの引き出し電極に直交するように形成された複数本のストライプ状の電流制御電極を容易に配線することができる。そして、これらの電極の平面視での交点位置に開口部を設けてエミッタを配置することにより、容易に特定のエミッタのみを動作(マトリックス駆動)させることができる。

【0031】

【実施例】以下、本発明の実施例について添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る冷電子放出素子の製造方法を工程順に示す模式的断面図である。まず、図1(a)に示すように、p型シリコンからなるエミッタの基部18の表面を熱酸化することによりシリコン酸化膜を形成し、これをフォトリソグラフィとウェットエッチングにより円盤状のシリコン酸化膜11に成形する。

【0032】次に、図1(b)に示すように、円盤状の

シリコン酸化膜11をマスクにしてエミッタ基部18をドライエッチングすることにより、エミッタ基部18の一部をエミッタ形状に成形する。

【0033】その後、図1(c)に示すように、このエミッタ形状の先端を先鋭化するために、基部18の表面を熱酸化して酸化膜12を形成する。このとき、電極及び絶縁層の開口部を設けるために、円盤状のシリコン酸化膜11を残存させた状態で熱酸化する。

【0034】次いで、図1(d)に示すように、酸化膜12及び円盤状のシリコン酸化膜11上に下部電極材料である金属膜15a及び15bを蒸着する。このとき、エミッタ突起部14を覆っている部分の酸化膜12上は、円盤状のシリコン酸化膜11によってマスクされているために、金属膜は形成されない。そして、これらの金属膜に所定の配線加工を施した後に、金属膜15a及び15b上に絶縁層13a及び13b並びに上部電極材料である金属膜16a及び16bを蒸着する。

【0035】その後、図1(e)に示すように、フッ酸溶液等により金属膜16aをマスクとして、この金属膜16aに覆われていない部分のシリコン酸化膜12を選択的に除去する。このとき、円盤状のシリコン酸化膜11及びその下方のシリコン酸化膜12の部分も除去され、円錐状のエミッタ突起部14が形成される。これにより、エミッタの基部18上に残存した酸化膜12は第1絶縁層12aとなる。このようにして基部上の第1絶縁層12aを介した電流制御電極となる金属膜15aと、この上の第2絶縁層13aを介した引き出し電極となる金属膜16aとからなる2段電極を有するエミッタ構造を形成する。そして、電極としての配線加工等を施すことにより、冷電子放出素子が完成する。

【0036】図1に示すように、第1の実施例に係る冷電子放出素子の製造工程は、図4に示す従来技術と同様に容易に作成することができる。即ち、電極の開口部をエミッタ形成時のエッチングマスクそのもので加工することより、エミッタを形成する工程を簡素化できるだけでなく、電極及び絶縁層の積層を理想的な高精度で形成することができる。

【0037】図2は前記第1の実施例に係る冷電子放出素子の構造を拡大して示す模式的断面図である。前述の如く、エミッタの基部18上にエミッタ突起部14が形成されており、このエミッタ突起部14を除く基部18上に絶縁層12aを介して金属膜15aが形成されており、この金属膜15a上に絶縁層13aを介して金属膜16aが形成されている。また、本実施例に係る冷電子放出素子の構造は、図4に示す従来の冷電子放出素子の構造と比較して上下の2段の電極の位置が異なり、エミッタ突起部14の先鋭端14cの高さは、上層の金属膜16aと同程度の高さになるように設定されている。

【0038】このように構成された本実施例の冷電子放出素子においては、引き出し電極に相当する金属膜16

aに電圧を印加しつつ、電流制御電極となる金属膜15aに対しても金属膜16aに印加した電圧とは別の電圧を印加することにより、下層の電極である金属膜15aの下部のp型シリコンからなる基部18の表面に対しても電圧が印加されることによって、基部18表面の絶縁層12aとの界面に反転層(nチャネル)が誘起される。このとき、反転層にはその下に形成されている空乏層中にて熱又は光によって励起された電子が供給される。従って、エミッタ突起部14に供給される電圧が制御され、先鋭端14cから放出される電流が安定化する。

【0039】図3は本発明の第2の実施例に係る冷電子放出素子を示す模式的断面図である。図3に示すように、エミッタの基底部であるp型シリコン基板38上の一部にn型半導体からなるエミッタ基部34b及び突起部34とソース領域37bとが形成され、ソース領域37b上にはソース電極37aが形成されており、エミッタ基部34b及びソース領域37bの一部を含む基板38上に、第1絶縁層32を介して電流制御電極35と、この電流制御電極35上に第2絶縁層33を介して引き出し電極36とが形成されている。このとき第1絶縁層32は薄く形成され、電流制御電極35はp型シリコン基板38上に近接して形成されている。

【0040】これは、図1に示す第1の実施例と同様の製造工程の後に、エミッタ基部34b及び突起部34並びにソース領域に、イオン注入法又は拡散法等により所定のドナー型不純物元素(典型的にはリン又はヒ素)を導入する工程と、ソース電極の配線を加工する工程とを追加することにより、製造することができる。

【0041】このように先鋭化されたエミッタ及び電極を有した構造に対しても、イオン注入又はアニール処理を施すことにより所望の半導体特性を形成することができる。

【0042】このように構成された第2の実施例に係る冷電子放出素子については、引き出し電極36に電圧を印加しつつ、電流制御電極35にも電圧を印加することにより、第1絶縁層32を介して相対するp型シリコン基板38に対しても電圧が印加され、p型シリコン基板38表面の絶縁層12との界面にn型反転層が誘起される。従って、このn型反転層を介してソース電極37aからの電子がエミッタ基部34b及び突起部34に供給され、印加電圧を制御することによりエミッタ突起部34には安定した電流が供給される。

【0043】本実施例は、素子中にn型半導体のソース領域及びソース電極を形成することにより、図8に示した従来技術と同様の電界効果トランジスタを内蔵しているので、極めて小さな構造のものを容易に形成することができるため、電流の制御範囲をより一層広くすることができると共に、高速のスイッチング動作が可能になり、更に高集積化することができる。

【0044】図4は本発明の第3の実施例に係る冷電子放出素子を示す模式的断面図である。本実施例が図3に示す第2の実施例と異なる点は、エミッタ突起部34が半導体ではなく、モリブデン等の金属材料によるエミッタ突起部39を形成している点であり、その他の構成は第2の実施例と同一であるので、図4において図3と同一物には同一符号を付して、その詳細な説明は省略する。

【0045】このように構成された冷電子放出素子においても、第2の実施例と同様の効果によりエミッタ突起部への電流制御が可能となる。また、本発明に係る第2及び第3の実施例については、ソース領域37b上にソース電極37aが形成されてショットキ接合を構成しているが、この金属材料からなるソース電極37aは必ずしも必要であるものではなく、n型半導体からなるソース領域37bが形成されているのみでもよい。更に、ソース電極37aを形成する場合には、ソース領域37bをn型半導体にしなくても、同様の効果が得られる。

【0046】図5は本発明の第4の実施例に係る冷電子放出素子を示す斜視図である。基板48上に配列された複数のエミッタ44を連結するように、1方向に延びる複数の帯状の電流制御電極(下部電極)47が、基板48上に第1絶縁層を介して形成されている。この電流制御電極47には、エミッタ44の突起部を取り囲むように開口部が設けられている。同様に、前記複数の電流制御電極47に対して直交する方向に延びる帯状の引き出し電極(上部電極)43が、エミッタ44を連結するように形成されており、この引き出し電極43にも、エミッタ44の突起部を取り囲む開口部が設けられている。電流制御電極47と引き出し電極43との間には第2絶縁層が介在していて、両者が接触しないようになっている。

【0047】このように構成された冷電子放出素子は、電流制御電極(下部電極)47をエミッタ44のスイッチング電極として使用し、引き出し電極(上部電極)43と組み合わせて夫々の電極に所定の電圧を印加することにより、簡素な製造工程でエミッタ素子のマトリクス動作を可能にすることができる。例えば、電流制御電極47に負の電圧を印加すると、この電極に相対する基板48の表面からは電子が遠ざけられ、引き出し電極43に電圧を印加してもエミッタ部分に電子が供給されない。このようにして、電流制御電極(下部電極)47をエミッタ44のスイッチング電極として使用することができる。

【0048】また、複数の電流制御電極47の内の特定の電流制御電極と、複数の引き出し電極43の内の特定の引き出し電極とに所定の電圧を印加することにより、電圧が印加された夫々の電極の平面視での交点に位置するエミッタ44のみを動作(マトリクス駆動)することができる。このようなマトリクス駆動のエミッタア

11

レイは、平面型ディスプレイ等の用途に対して極めて有効である。

【0049】

【発明の効果】以上詳述したように本発明によれば、エミッタ基部にp型半導体を使用し、基部と引き出し電極との間に電流制御電極を形成するだけで、安定した電流を放出する高性能な冷電子放出素子を得ることができる。また、基板上にソース領域を形成し、エミッタ及びソース領域にn型不純物を導入し、このエミッタ及びソース領域の一部を含む基板上に引き出し電極及び電流制御電極が形成されていると共に、素子そのものにFET機能を内蔵した構造を有するため、エミッタの集積化が容易になると共に、放出電流が安定化する。また、エミッタを単結晶シリコンで形成すると、その加工精度が高い冷電子放出素子を得ることができる。更に本発明方法においては、少ない工程で電極を形成することができるので、その製造が容易であり歩留まりが高い。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る冷電子放出素子の製造方法を工程順に示す模式的断面図である。

【図2】本発明の第1の実施例に係る冷電子放出素子の構造を拡大して示す模式的断面図である。

【図3】本発明の第2の実施例に係る冷電子放出素子を示す模式的断面図である。

【図4】本発明の第3の実施例に係る冷電子放出素子を示す模式的断面図である。

【図5】本発明の第4の実施例に係る冷電子放出素子を示す斜視図である。

12

【図6】単結晶シリコンを使用した冷電子放出素子を示す模式的断面図である。

【図7】スピント型エミッタに直列に抵抗を導入した冷電子放出素子を示す模式的断面図である。

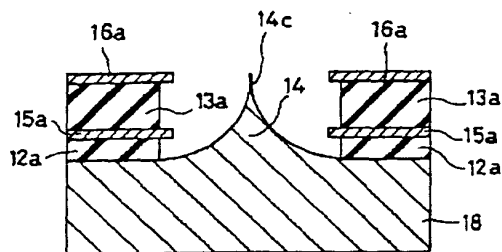
【図8】FETによる電流制御部及び電子放出素子部を有する基板を示す模式的断面図である。

【図9】上下に2枚の電極が形成された冷電子放出型能動素子を示す模式的断面図である。

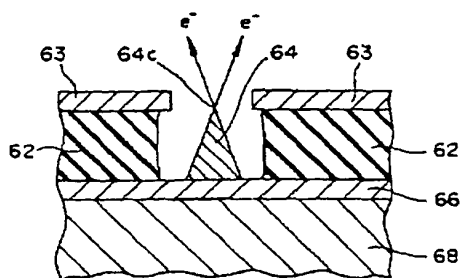
【符号の説明】

- 11、12；酸化膜
12a、13a、13b、32、33、52、62、72、72a、92、93；絶縁層
14、34、39、54、94；突起部
14c、54c、64c、94c；先鋭端
15a、15b、16a、16b；金属膜
18、34b、51；基部
37a、71；ソース電極
37b；ソース領域
38、48、68、78、98；基板
43、53、63、73、36；引き出し電極
44、57、64、74；エミッタ
47、35；電流制御電極
66；抵抗層
75、95；ゲート電極
76、96；ドレイン電極
77a、77b；n型半導体領域
79；電子放出素子部

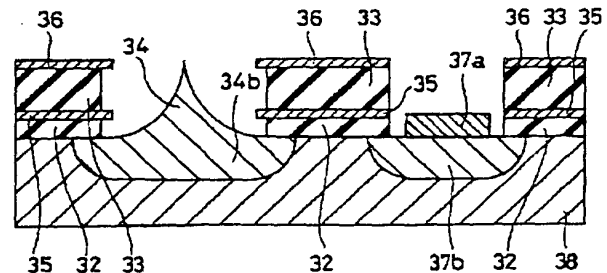
【図2】



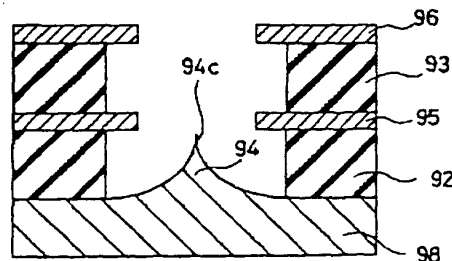
【図7】



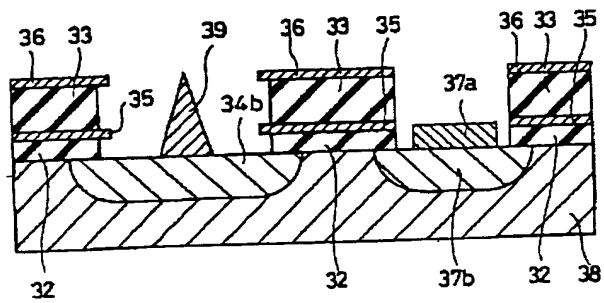
【図3】



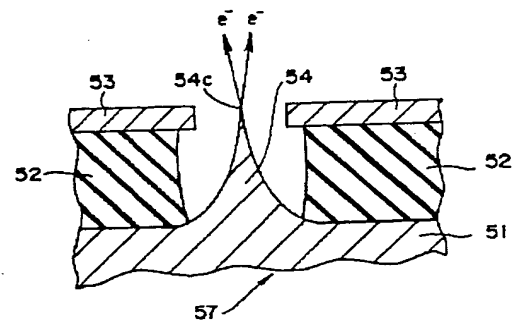
【図9】



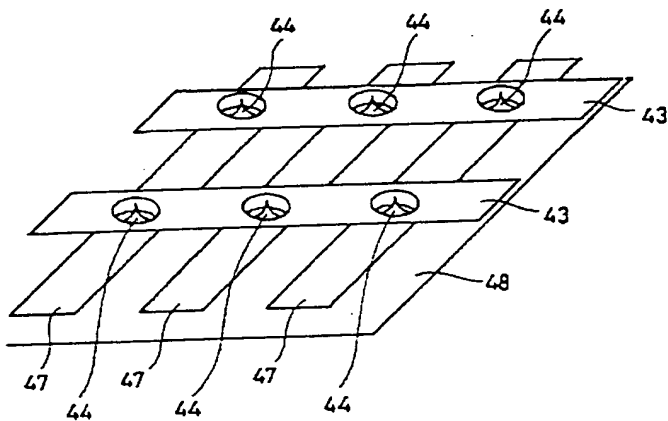
【圖 4】



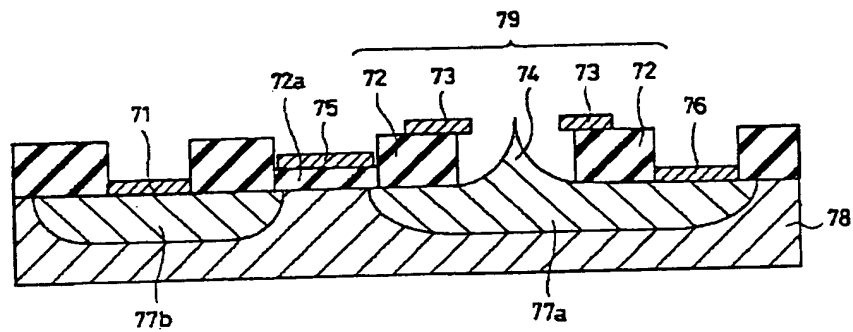
【圖 6】



【図 5】



【図 8】



フロントページの続き

(72) 発明者 伊藤 順司
茨城県つくば市梅園 1-1-4 工業技術
院電子技術総合研究所内

(72) 発明者 金丸 正剛
茨城県つくば市梅園 1-1-4 工業技術
院電子技術総合研究所内